



IPW

Attorney Docket No.: BHT-3111-416

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Chi-Ho HSU et al.

Application No.: 10/781,877

Filed: February 20, 2004

For: **STABLE TIMING CLOCK CIRCUIT**

:
:
:
:
:
:
:

Group Art Unit: 2816

Examiner: Not Yet Assigned

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant
claims the right of priority based upon **Taiwanese Patent Application No.**
092125133 filed September 12, 2003.

A certified copy of Applicant's priority document is submitted herewith.

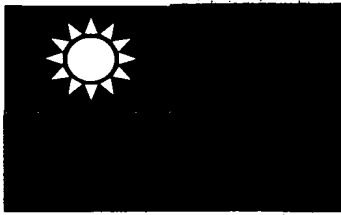
Respectfully submitted,

By:

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: June 29, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 12 日
Application Date

申請案號：092125133
Application No.

申請人：盛群半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 17 日
Issue Date

發文字號：09320146810
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種可提供穩定時脈的電路架構
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	1. 許績賀 2. 陳錫彬 3. 林顯峰
	姓 名 (英文)	1. 2. 3.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市新莊街79巷1號2樓 2. 新竹市和平路88之9號4樓 3. 新竹縣竹東鎮明星路264巷28號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 盛群半導體股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區研新二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 吳啟勇
	代表人 (英文)	1.



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 許家祿
	姓 名 (英 文)	4.
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 台北縣土城市裕民路76號4樓
	住 居 所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：一種可提供穩定時脈的電路架構)

一種可提供穩定時脈的電路架構，包括有：一降壓箝位電路、一振盪電路和一電壓位準轉換電路。降壓箝位電路具有一輸入端和一輸出端，輸入端可輸入一第一電壓，輸出端可輸出一第二電壓，振盪電路耦接至箝位電路以第二電壓做為振盪電路的工作電壓，進而產生一第一時脈信號，第一時脈信號具有一較低電壓位準。電壓位準轉換電路耦接至該振盪電路，可將第一時脈信號轉換至一第二時脈信號，第二時脈信號具有較高之電壓位準。

五、(一)、本案代表圖為：第圖三圖

(二)、本案代表圖之元件代表符號簡單說明：

30-天線

31-整流器

32-濾波器

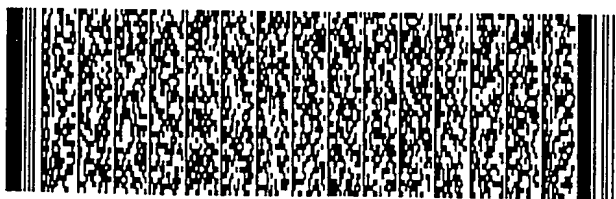
33-電壓限制器

34-降壓箝位器

35-振盪電路

36-電壓位準轉換電路

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

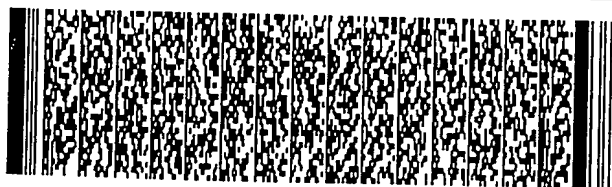
【發明所屬之技術領域】

本發明係提供一種可提供穩定時脈的電路架構，特別是用於一無線射頻身分識別系統RFID(Radio Frequency Identification System)之一種可提供穩定時脈的電路架構。

【先前技術】

請參閱圖一和圖二所示，為習知之無線射頻身分識別系統RFID(Radio Frequency Identification System)，具有一感應端tag 11和一讀取端reader 12。兩者之間藉由電感進行電磁互感效應，進行能量與資訊傳輸行為，RFID系統之讀取端reader 12可以允許足夠的空間和成本，設置一穩定的直流電壓源以供應reader 12發出穩定之高頻諧振載波及解調功能，但是感應端tag 11受限於可運用之面積與重量等限制，無法提供直接且穩定的直流電壓源使其作動，但是一個穩定的系統時脈訊號的確需要一穩定的直流電壓源作為工作電壓。

在傳統上，被動式RFID之感應端tag 11的振盪電路工作電壓來源，係利用感應端tag上之天線21(電感)，藉由電感形式之天線21，可以感應由讀取端reader 12之諧振電路所發出固定之射頻諧振訊號，作為交流/直流(AC/DC)轉換訊號來源，經過四個或二個二極體所構成全波或半波整流器22，作為交流/直流(AC/DC)轉換，在經由簡單的RC低通濾波器23，取出約略穩定的直流電壓源V1，以提供作

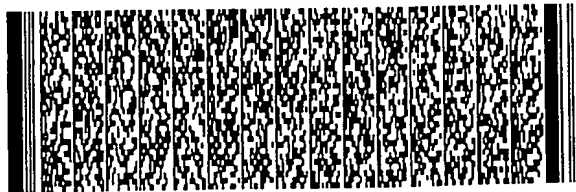


五、發明說明 (2)

為感應端tag 11上所有電路和振盪電路25作動的工作電壓來源(請參考圖四所示)，感應端tag 11上的振盪電路25，依據供應之直流電壓源V1，振出一時脈信號，將欲傳送之資料訊息透過簡單的編碼方式，經由調諧電路調變發送出去，而讀取端reader 12接收微弱之載波訊息變化，經檢波處理電路，解調出正確之資料訊息，經由一MCU微控制單元(micro control unit)可發出預設之聲音或動作，完成信號傳遞目的。

在習知RFID系統中，感應端tag 11本身為懸空使用並無和大地連接，並且RC濾波電路23，受限於感應端tag 11的空間和成本考量等因素，無法提供足夠的濾波效果，因此直流偏壓上常常會有高頻漣波產生，同時也將影響系統時脈信號之穩定。

在一般習知的RFID系統中，感應端tag 11和讀取端reader 12兩者並非在一定距離運用，又因為感應端tag 11的工作電壓，係藉由感應端tag 11移近讀取端reader 12的過程中，利用感應端tag 11和讀取端reader 12之平行電感，產生一感應電壓(如圖六所示，圖中之V1)，感應電壓V1的大小會受到感應端tag 11和讀取端reader 12距離遠近的影響，兩者越近互感越大，感應電壓V1越大，反之兩者越遠互感越小，感應電壓V1越小，當感應端tag 11移近讀取端reader 12時，感應電壓V1升高，然而當感應端tag 11移開讀取端reader 12時，感應電壓V1降低，以感應電壓V1作為振盪電路25之工作電壓，該感應電壓V1的變動會



五、發明說明 (3)

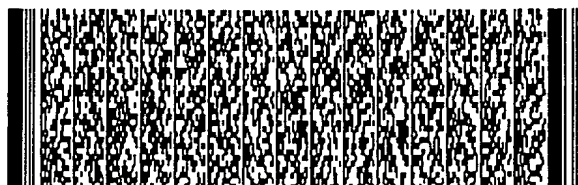
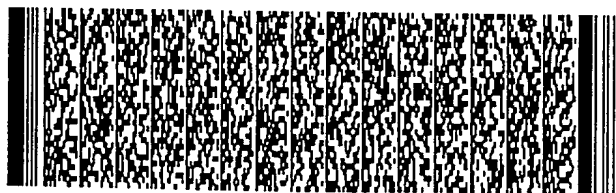
影響振盪電路25所振出的時脈信號。

此外，一般感應端tag 11電路中，會有一電壓限制器24，以避免感應端tag 11和讀取端reader12過近時，感應電壓太大而超過半導體元件物理耐壓能力導致損壞電路。在元件積體化的過程中，原本單純的全波/半波整流二極體，卻由於半導體製程等因素，反而使高頻雜訊透過IC共用之下層基底連接流竄至其他電路，影響整個系統運作，也使得原本穩定之時脈信號，隨著距離的遠近等因素，飄移至難以預料的數值，而造成系統傳輸鮑率(Baud rate)不穩之問題。

【發明內容】

本發明之主要目的係提供一種可提供穩定時脈的電路架構，其係可用於一無線射頻身分識別系統RFID(Radio Frequency Identification System)中，可以有效解決系統時脈受干擾之問題。

為達上述之目的，本發明之一種可提供穩定時脈的電路架構，包括有：一降壓箝位電路、一振盪電路和一電壓位準轉換電路。該降壓箝位電路具有一輸入端和一輸出端，輸入端輸入一第一電壓，輸出端可輸出一第二電壓，振盪電路耦接至箝位電路並且第二電壓做為振盪電路的工作電壓，進而產生一第一時脈信號，第一時脈信號具有一較低電壓位準。電壓位準轉換電路耦接至該振盪電路，可將第一時脈信號轉換至一第二時脈信號，第二時脈信號具



五、發明說明 (4)

有較高之電壓位準。

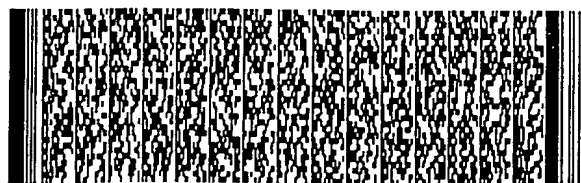
為使貴審查委員對本發明能有更進一步的了解與認同，茲配合圖示作一詳細說明如后。

【實施方式】

本發明之可提供穩定時脈的電路架構，其特徵在於利用一降壓箝位電路以產生一穩定的低電壓位準的電壓作為振盪電路之工作電壓，使其振出一穩定的時脈信號，再經由一電壓位準轉換電路提升電壓位準，以解決習知之無線射頻身分識別系統RFID(Radio Frequency Identification System)中，讀取端tag受到感應端tag和讀取端reader兩者之間距離遠近影響，而造成時脈信號隨著工作電壓改變而飄移的問題。

請參閱圖三所示，為本發明之可提供穩定時脈的電路架構之較佳實施例。電路架構包括有：一整流器31、一濾波器32、一電壓限制器33、一降壓箝位電路34、一振盪電路35和一電壓位準轉換電路36。雖然圖三中只繪製出感應端tag 11中的振盪電路35和工作電壓來源之示意圖，但是亦可用於如圖一所示的無線射頻身分識別系統RFID(Radio Frequency Identification System)中，關於其他元件和作動原理如圖一所述，在此不加以贅述。

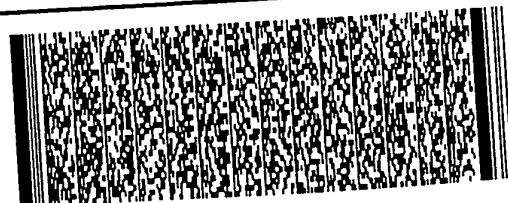
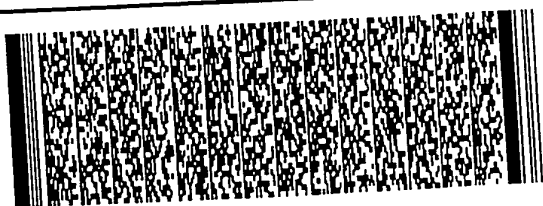
其中，整流器31和濾波器32，可將一天線30所感應的交流電壓轉換成直流電壓。電壓限制器33，可以避免感應電壓超過半導體元件物理耐壓能力。降壓箝位電路34耦接



五、發明說明 (5)

至電壓限制器33並且具有一輸入端和一輸出端，輸入端接收較高電壓位準之一第一電壓，且於輸出端轉換出較低電壓位準之一第二電壓。振盪電路35耦接至該箝位電路34，以第二電壓做為振盪電路35的工作電壓，進而產生一第一時脈信號，第一時脈信號具有一較低電壓位準。位準轉換電路36耦接至該振盪電路，可將第一時脈信號轉換至一第二時脈信號，第二時脈信號具有較高之電壓位準。

上述的電路架構其係先利用整流器31、濾波器32和電壓限制器33將天線30所感應的交流電壓轉換成第一電壓V1，如圖三中所標示之B處，B處的電壓如同圖四所示V1之電壓，此時的第一電壓V1不為理想的直流電壓源，不適合做為振盪電路35的理想工作電壓，所以藉由降壓箝位電路34，將第一電壓V1的電壓位準降低，產生一穩定之第二電壓V2，如圖三中所標示之C處，C處的電壓如同圖五所示V2之電壓，該第二電壓V2的電壓位準必須可以驅動振盪電路35，此時第二電壓V2趨近一理想直流電壓，以此第二電壓V2做為振盪電路35的工作電壓，(請參閱圖六所示，此時第二電壓V2不會受到感應端tag 11和讀取端reader 12兩者之間距離遠近的影響)可以使振盪電路35振出穩定之第一時脈信號，第一時脈信號具有較低電壓位準並不適合感應端tag 11中其他電路作動，因此利用電壓位準轉換電路36將第一時脈信號的電壓位準提昇至較高電壓位準的第二時脈信號，此第二時脈信號具有較高的電壓位準並且為一穩定的時脈信號以供其他電路使用。



五、發明說明 (6)

上面所述之電路架構，其中振盪電路35不受到濾波器32之後的第一電壓V1影響，且箝位在較低偏壓上所以使得振盪電路35不因距離遠近，而導致第一電壓V1變化而影響時脈信號，此外濾波器32也可以降低漣波濾除需求，此舉可有效降低感應端tag 11的成本和空間需求。請參閱圖七所示，其為降壓箝位電路34之較佳實施例。降壓箝位電路34其係由一電阻71、一電容器72、一箝位電路73所組成，其中箝位電路73係由一P型金屬氧化物半導體(P-type Metal Oxide Semiconductor)731和一N型金屬氧化物半導體(N-type Metal Oxide Semiconductor)732所組成。

請參閱圖八所示，其為電壓位準轉換電路36之較佳實施例。可將第一時脈信號(具有較低的電壓位準)由D端輸入，可由E端輸出第二時脈(具有較高的電壓位準)。

以上所述者，僅為本發明較佳實施例而已，當不能用來限定本發明所實施之範圍。即凡屬於本發明申請專利範圍所作之均等變化與修飾皆因屬於本發明專利涵蓋之範圍內。



圖式簡單說明

【圖式簡單說明】

圖一其係為習知之習知之無線射頻身分識別系統RFID (Radio Frequency Identification System)。

圖二其係為習知之感應端tag振盪電路之工作電壓來源示意圖。

圖三其係為本發明之可提供穩定時脈的電路架構之較佳實施例。

圖四其係為圖二中A處之電壓示意圖。

圖五其係為圖三中B處和C處之電壓示意圖。

圖六其係為第一電壓和第二電壓與感應端tag和讀取端reader距離的關係圖。

圖七其係為降壓箝位電路之較佳實施例。

圖八其係為電壓位準轉換電路之較佳實施例。

圖號說明：

21、30-天線

22、31-整流器

23、32-濾波器

24、33-電壓限制器

34-降壓箝位器

25、35-振盪電路

36-電壓位準轉換電路

73-箝位電路

731-P型金屬氧化物半導體



圖式簡單說明

732-N 型 金 屬 氧 化 物 半 導



六、申請專利範圍

1. 一種可提供穩定時脈的電路架構，包括有：

一降壓箝位電路，具有一輸入端和一輸出端，該輸入端輸入一第一電壓，該輸出端可輸出一第二電壓；

一振盪電路，耦接至該降壓箝位電路並且該第二電壓做為該振盪電路的一工作電壓，用以產生一第一時脈信號，該時脈信號具有一較低電壓位準；以及

一電壓位準轉換電路，耦接至該振盪電路，可將該時脈信號轉換至一較高電壓位準之第二時脈信號。

2. 如申請專利範圍第1項所述之電路架構，其中第一電壓具有漣波與電壓位準變動很大之特徵。

3. 如申請專利範圍第1項所述之電路架構，其中該第二電壓其係為理想直流電壓。

4. 如申請專利範圍第1項所述之電路架構，其中該第二電壓小於第一電壓。

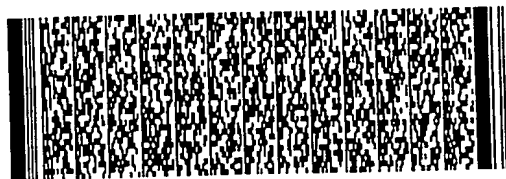
5. 如申請專利範圍第1項所述之電路架構，其中該降壓箝位電路更包括有一電阻、一電容器和一箝位電路。

6. 如申請專利範圍第5項所述之電路架構，其中該箝位電路包括有一P型金屬氧化物半導體(P-type Metal Oxide Semiconductor)和一N型金屬氧化物半導體(N-type Metal Oxide Semiconductor)。

7. 一種可提供穩定時脈的電路架構，包括有：

一整流電路，可將一交流電壓轉換成一直流電壓，該直流電壓為一第一電壓；

一降壓箝位電路，耦接至該整流電路，接收該第一



六、申請專利範圍

電壓，並且可輸出一第二電壓；

一振盪電路，耦接至該箝位電路並且以該第二電壓做為振盪電路的一工作電壓，進而產生一第一時脈信號，該時脈信號具有一較低之電壓位準；

一電壓位準轉換電路，耦接至該振盪電路，可將該第一時脈信號轉換至一較高電壓位準之第二時脈信號。

8. 如申請專利範圍第7項所述之電路架構，其中第一電壓具有連波與電壓位準變動很大之特徵

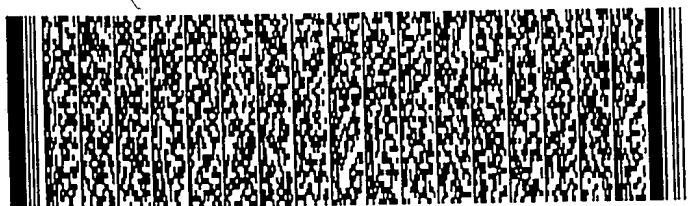
9. 如申請專利範圍第7項所述之電路架構，其中該整流電路由一整流器、一濾波器和一電壓限制器所組成。

10. 如申請專利範圍第7項所述之電路架構，其中該第二電壓其係為理想直流電壓。

11. 如申請專利範圍第7項所述之電路架構，其中該第二電壓小於該第一電壓。

12. 如申請專利範圍第7項所述之電路架構，其中該降壓箝位電路，更包括有一電阻、一電容器和一箝位電路。

13. 如申請專利範圍第12項所述之電路架構，其中該箝位電路，包括有：一P型金屬氧化物半導體(P-type Metal Oxide Semiconductor)和一N型金屬氧化物半導體(N-type Metal Oxide Semiconductor)。



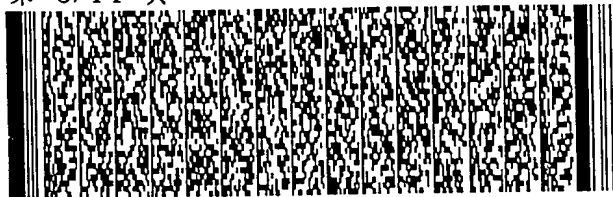
第 1/14 頁



第 2/14 頁



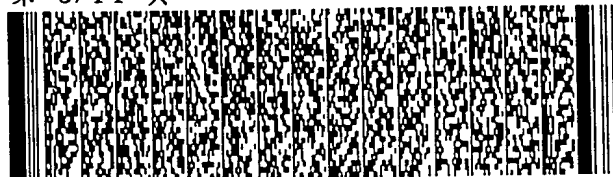
第 3/14 頁



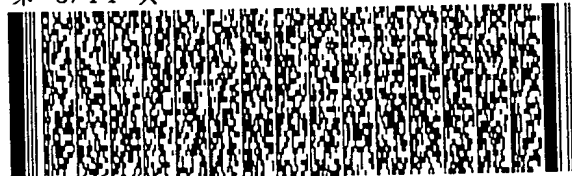
第 4/14 頁



第 5/14 頁



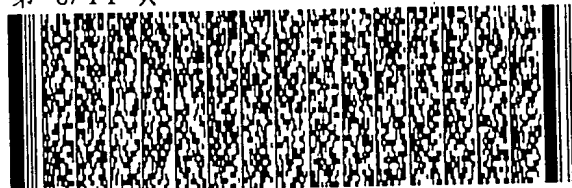
第 5/14 頁



第 6/14 頁



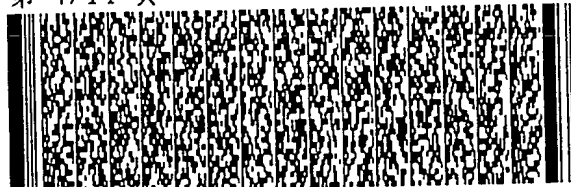
第 6/14 頁



第 7/14 頁



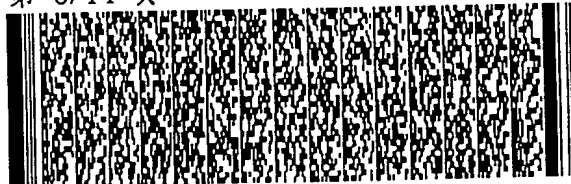
第 7/14 頁



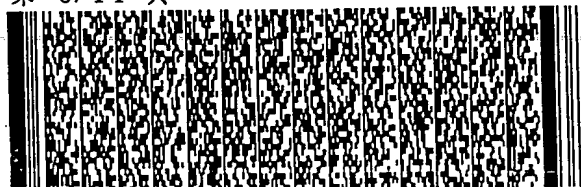
第 8/14 頁



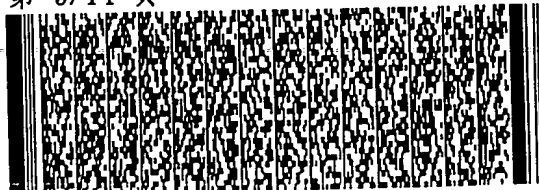
第 8/14 頁



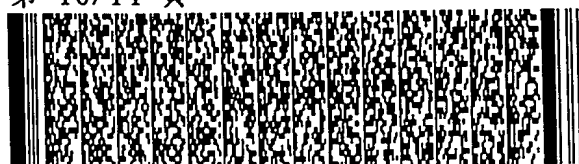
第 9/14 頁



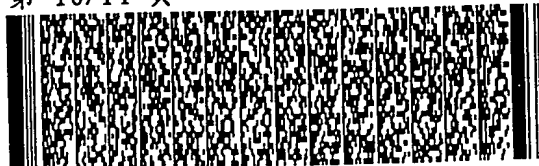
第 9/14 頁



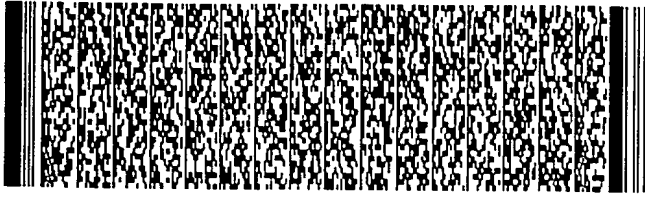
第 10/14 頁



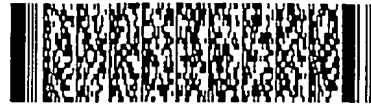
第 10/14 頁



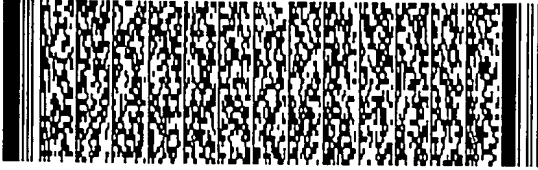
第 11/14 頁



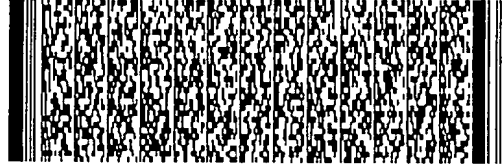
第 12/14 頁



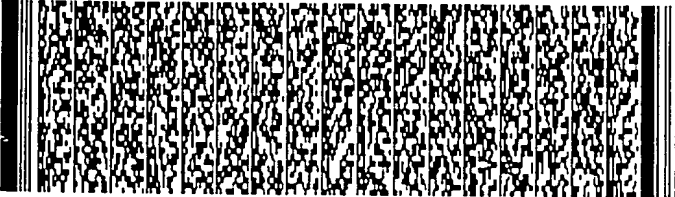
第 13/14 頁

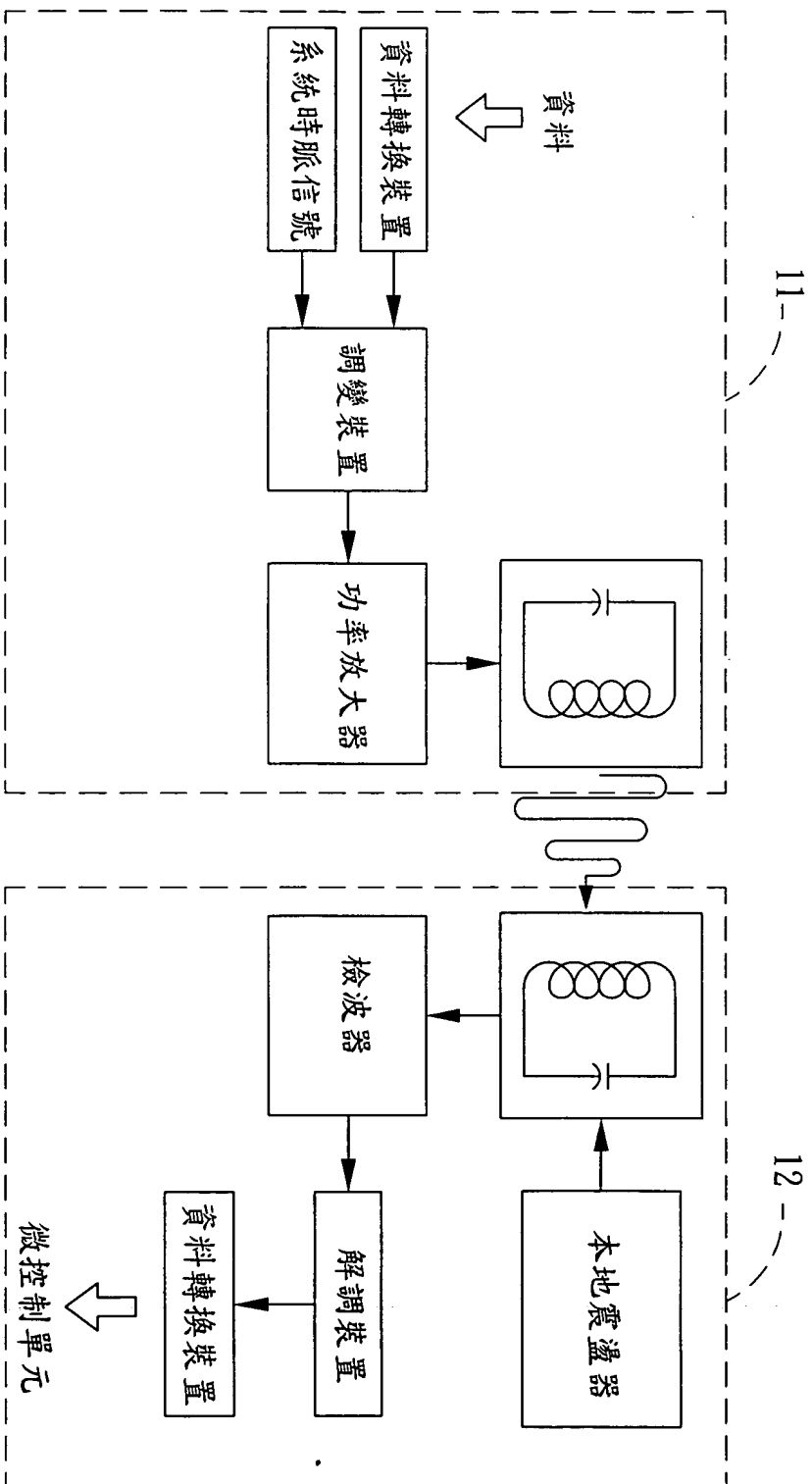


第 13/14 頁

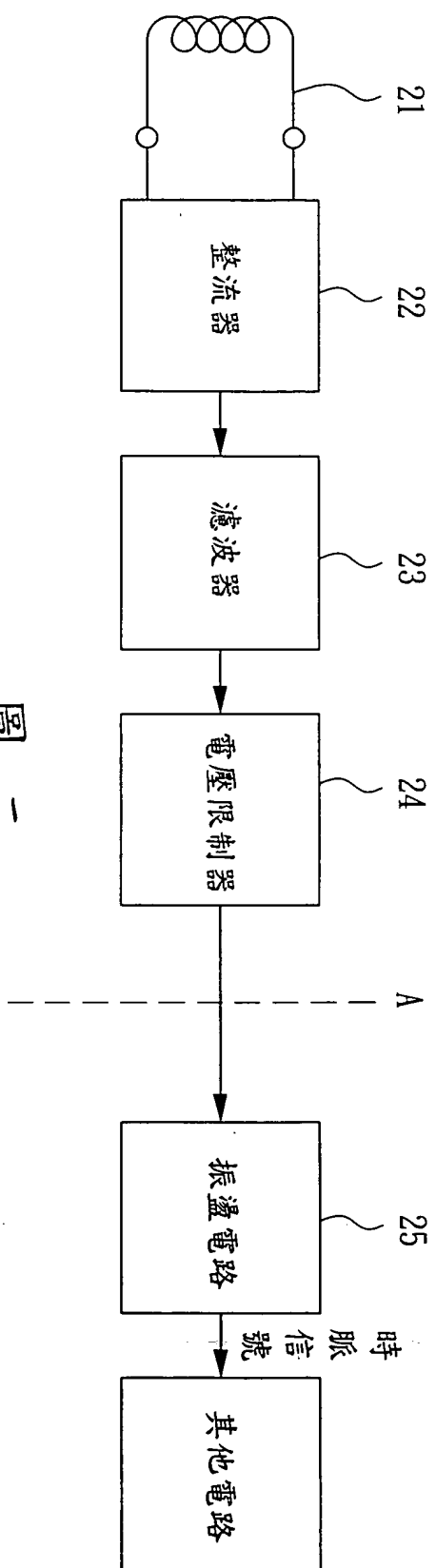


第 14/14 頁

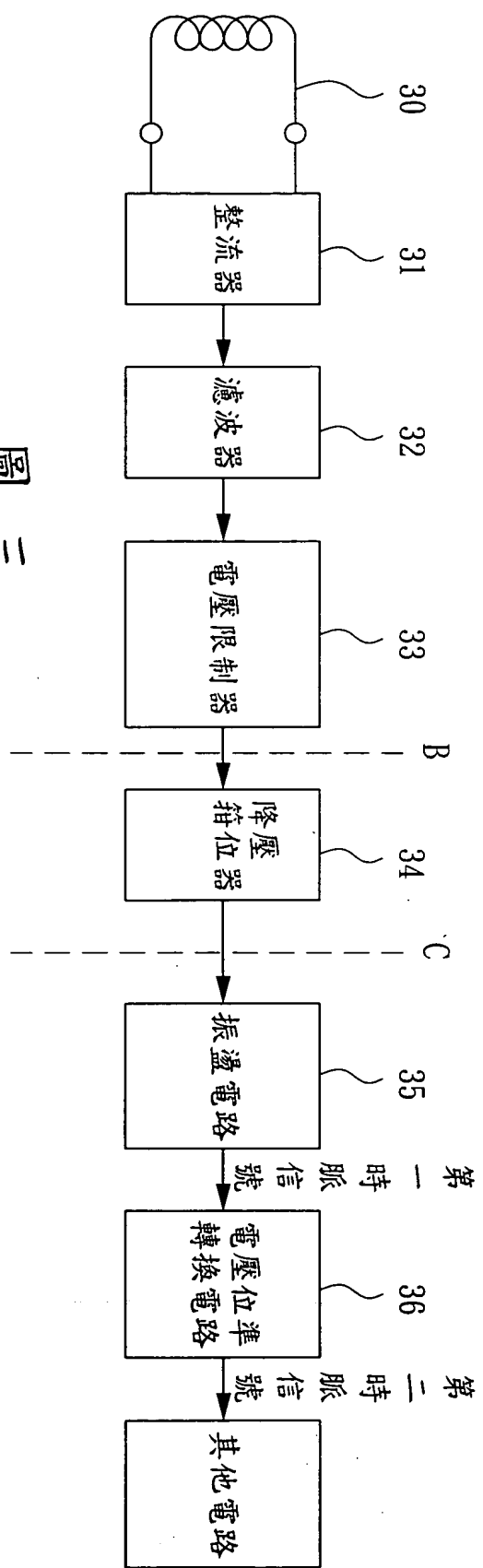




圖一



圖二



圖三

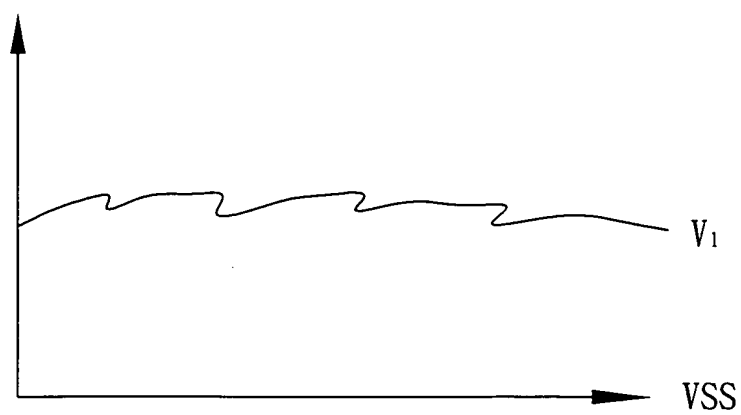


圖 四

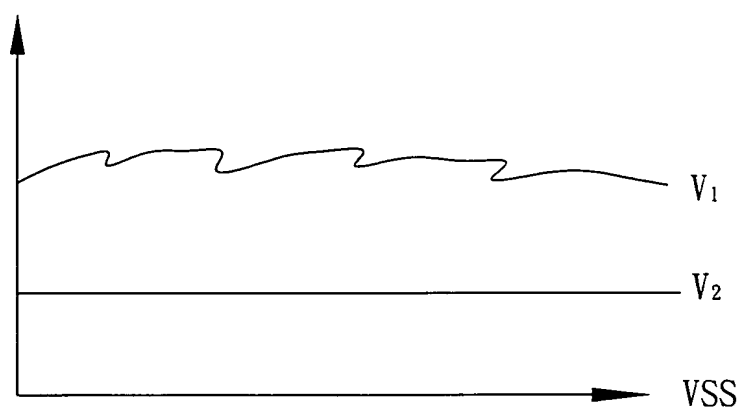


圖 五

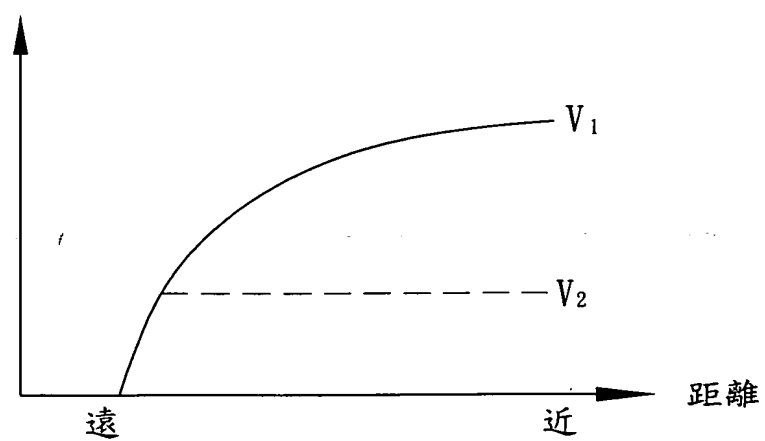


圖 六

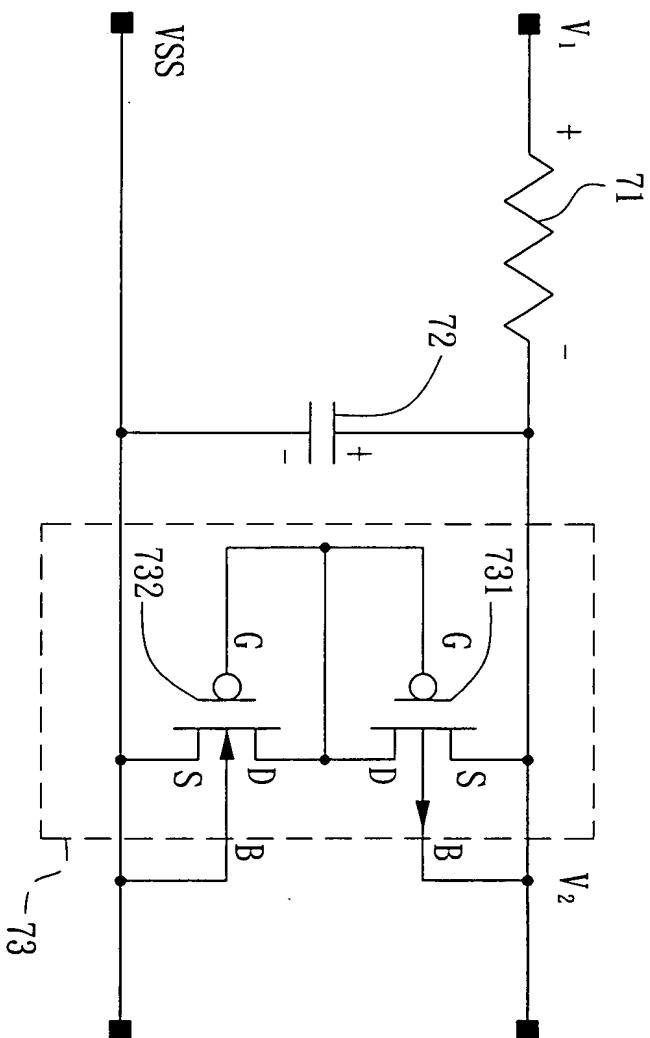


图 七

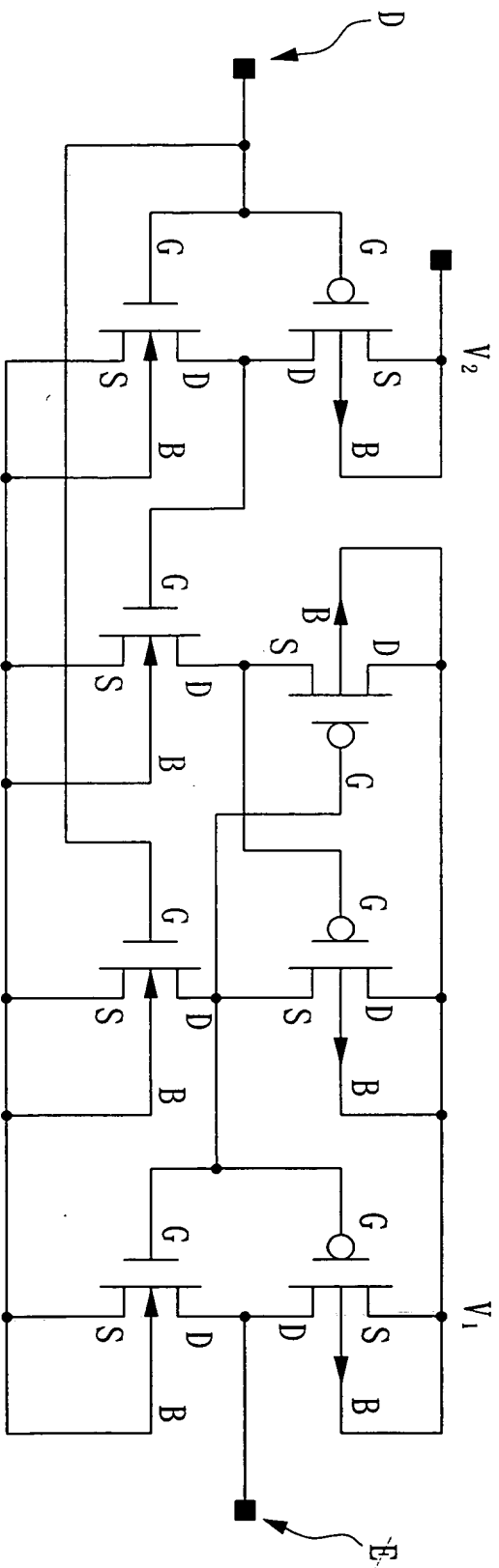


圖 八